

# 應用週期及密度可變之 DDA 架構

## 改善脈波輸出性能

工研院機械所/江修

### 摘要

1. 週期及密度可變之 DDA 功能與原理
2. 以硬體實現週期及密度可變之 DDA
3. 週期及密度可變之 DDA 功能性能討論
4. 應用 DDA 於步進/脈波型馬達
5. 脈波輸出控制配接

### 關鍵字

DDA (Digital Differential Analyzer)

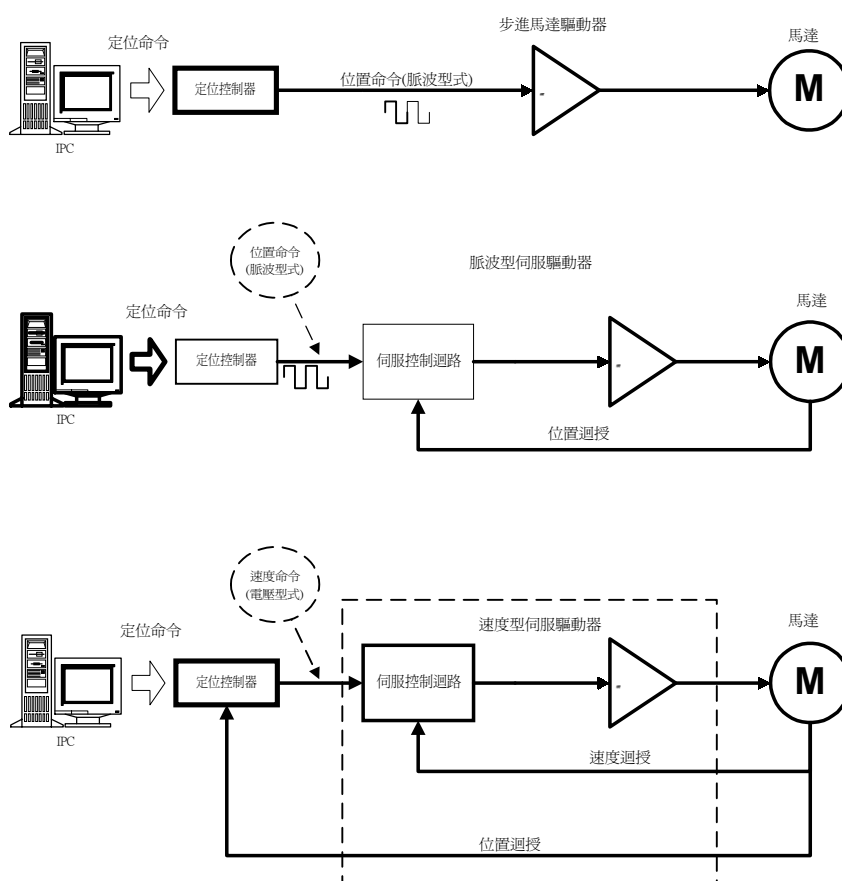
EPCIO ASIC (Exquisite Position Control Input/Output)

DAC (digital to analog conversion)

## 壹、前言

馬達運動定位控制是許多產業機械上非常基本及重要的核心技術，由於馬達是大多數產業機械之機構驅動元件，馬達定位之優劣直接關係著機器本身運動之精密度，所以優良馬達位技術是許多工業級控制器上必要的條件。

目前一般常用之馬達控制模式有三種（參考圖 1、2、3）。第一種方式為定位控制器直接送出脈波命令去驅動步進馬達；第二種為定位控制器送出位置命令（脈波格式）給脈波型伺服馬達驅動器，驅動器將其與馬達編碼器之位置迴授值比較之後以閉迴路方式精確控制馬達；第三種將馬達編碼器之位置迴授值拉至定位控制器內，經閉迴路方式計算輸出速度控制命令（電壓型式）來驅動速度控制型馬達。



本文將著重討論脈波命令之輸出方式——可變週期及密度之 DDA (Digital Differential Analyzer)，適用上述控制模式之第一、二種。在下文中將依序說明——可變週

期及密度之 DDA 原理及使用，DDA 硬體實現方式及如何應用 DDA 在軌跡規劃中。

工研院機械所新近開發之一顆運動控制 IC (EPCIO ASIC)，其脈波輸出便是以 DDA 方式均勻送出各軸移動量，實現六軸步進／伺服馬達定位及同動控制。另外該 IC 亦可讀回馬達編碼器值作六軸閉迴路控制(藉由編碼器輸入端讀回馬達編碼器值);此 IC 尚具備有 8 組 DAC 驅動界面、九組編碼器輸入界面、28 點 I/O、1 組 ADC 驅動界面(可接受 8 組 A/D 訊號)及六組遠端 I/O 串列模組接頭(採省配線化串列通訊設計，最大可擴充至 768 點 I/O)。在後面之說明中，將會提到此顆 IC 之 DDA 輸出部份

## 貳、 可變週期及密度之 DDA 原理及使用

### 一、 說明：

在一般之工件生產系統中，我們通常需要依照各軸要求之路徑來產生每個運動軸之座標移動量，使生產系統能夠準確切削出要求之工件。從要求之連續切削路徑轉成各軸座標移動量，我們須要 interpolator(軌跡規劃)來完成此一工作。軌跡規劃可近似產生每個時間該軸所需之座標移動量，其近似法則之準確與否，悠關於工件生產之精確性。

參考圖 4，橫軸為時間縱軸為馬達轉動量，曲線為想要規劃之馬達路徑(目標軌跡)，參考圖上所示，我們將點  $(0, \Theta(0))$ ， $(1\Delta t, \Theta(1\Delta t))$ ， $(2\Delta t, \Theta(2\Delta t))$ ， $(3\Delta t, \Theta(3\Delta t))$ ... 至路徑規劃終點依序用直線予以連接，這樣得到了一條直線片段連續線，觀察此條片段連續線，當  $\Delta t$  取得很小時，片段連續線就愈逼近目標軌跡，理論上  $\Delta t \rightarrow 0$ ，目標曲線=片段連續線。

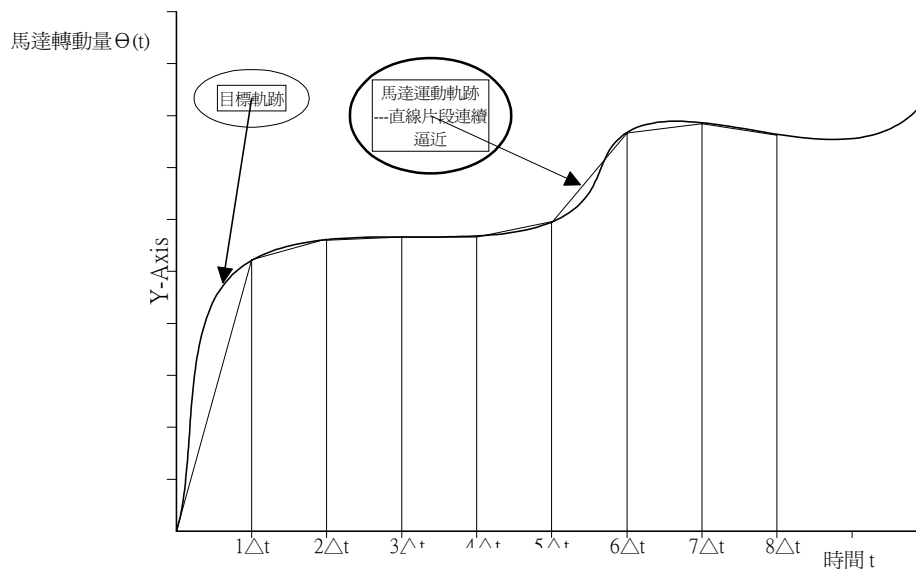


圖 4

觀察每一切割片段都有如圖5所示之型式

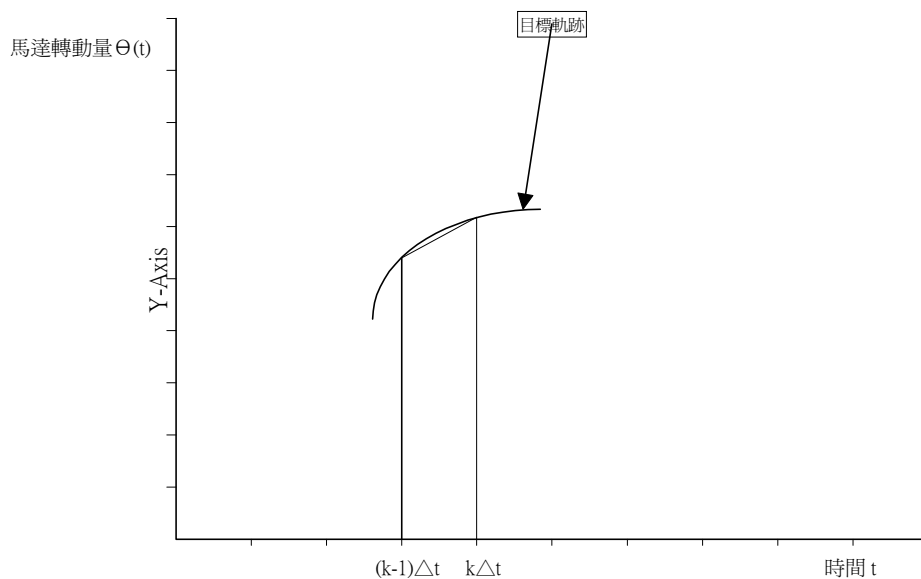


圖5所示，馬達從 $((k-1)\Delta t, \Theta((k-1)\Delta t))$ 點沿直線移至 $(k\Delta t, \Theta(k\Delta t))$ 點，又斜率=角速率，所以馬達實際上是以等速率方式自 $\Theta((k-1)\Delta t)$ 移至 $\Theta(k\Delta t)$ 點，其間所用之時間為 $\Delta t$ 。

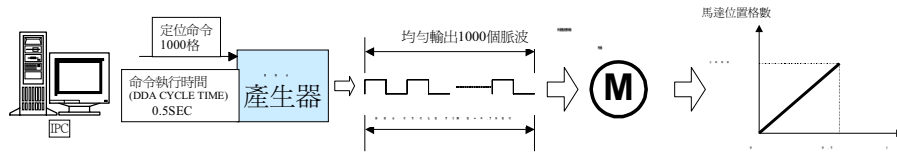
就圖1及圖2所示之步進／脈波型伺服馬達控制模式，要實現圖5之等速率移動，相當於自 $\Theta((k-1)\Delta t)$ 點將 $\Theta(k\Delta t) - \Theta((k-1)\Delta t)$ 個脈波在 $\Delta t$ 時間內均勻輸出

所以我們需要一個機制，其輸入參數 $\Delta t$ 及所需行走之脈波數，輸出為在 $\Delta t$ 時間內將所需行走之脈波均勻送出，可變密度及週期之DDA機制是一個很好之解決方案。

## 二、 DDA 功能：

DDA 產生器接受來自 CPU 之定位命令(即馬達所須轉動之編碼器格數)及執行該命令所需之時間(定義為 DDA CYCLE TIME  $\Delta t$ )，經解算後，DDA 產生器即可將所須轉動之格數在 DDA CYCLE TIME 內以脈波型式均勻送出，使步進／脈波型伺服馬達在 $\Delta t$ 等速行走完定位命令下達之行走格數。

參考圖 6，若定位命令為正轉行走 1000 個編碼器格數 (假設馬達啓始位置為第 0 格)，命令執行時間 (DDA CYCLE TIME) 為 0.5 秒，則 DDA 產生器在 0.5 秒內可均勻送出 1000 個脈波 (pulse)，可使馬達均勻 (即等速) 轉動 1000 格



參考圖 7，橫軸為時間，其中  $\Delta t$  為 DDA CYCLE TIME 縱軸為馬達轉動格數

第一區間:馬達從第 0 格正轉等速走至第 1000 格，轉速為  $1000 \text{ 格} / \Delta t$

第二區間:馬達靜止在 1000 格

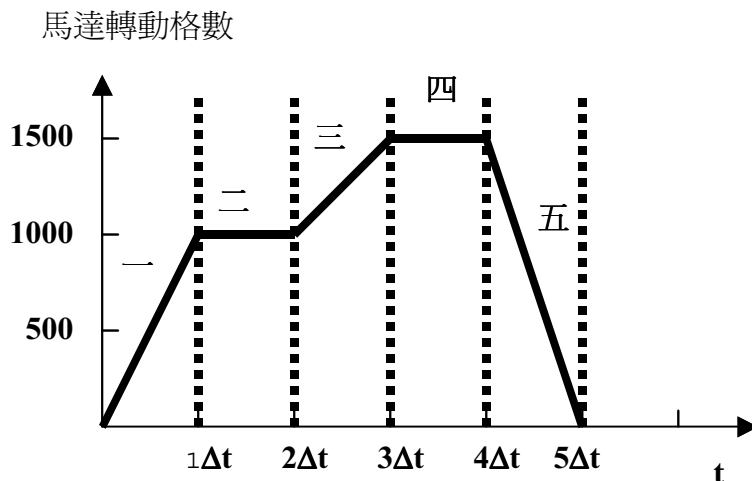
第三區間:馬達從第 1000 格正轉等速走至第 1500 格，轉速為  $500 \text{ 格} / \Delta t$

第四區間:馬達靜止在 1500 格

第五區間:馬達從第 1500 格反轉等速走回第 0 格，轉速為  $1500 \text{ 格} / \Delta t$

同一  $\Delta t$  所走格數愈多，馬達轉愈快，行程愈遠

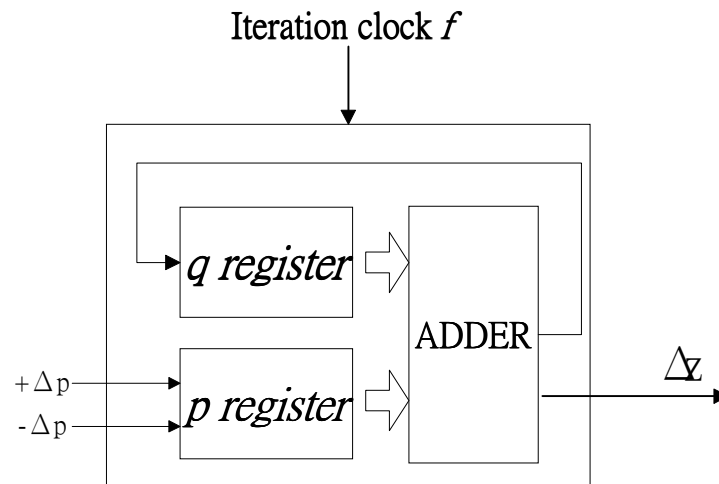
對相同行走格數而言， $\Delta t$  愈小馬達轉愈快



### 三、 DDA 原理及演算法 (n-bits)

說明：

1. 目標：假設 DDA cycle time (即圖 4,5,6,7 之  $\Delta t$ ) 為  $2^n$  個觸發 clock (圖 8 之  $f$ )，所以  $\Delta t = 2^n / f$ ，那麼在  $\Delta t$  時間內要均勻輸出 1 個脈波，2 個脈波或其他脈波 (最多  $2^n$  個)，要如何實現呢？



2. 以下列之演算法 (n-bits) 實現

參考圖 8，圖上之  $p$  register 及  $q$  register 為  $n$  bits，假設  $\Delta t$  時間內要均勻輸出  $P$  個脈波 ( $0 < p \leq 2^n$ )，其中  $\Delta t = 2^n / f$ ； $f$  為觸發 clock 頻率

步驟：

- 假設  $k$  為 clock 觸發次數
- 先將  $P$  以二進位方式設入  $p$  register 內
- 假設未觸發前  $q$  register 之初始值  $q(k=0)=0$ ，即  $q(0)=0$
- 每次觸發做下列動作

when  $k$ th iteration

if  $q(k-1)+p > 2^n - 1$

$\Delta z(k)=1$ ， $q(k)=q(k-1)+p - 2^n$

else

$\Delta z(k)=0$ ， $q(k)=q(k-1)+p$

注意：  $p=P$

文字說明：參考圖 8

- 當第  $k$  次之觸發發生時，將  $q$  register 之值與  $p$  register 相加（即  $q(k-1)+p$ ）
  - 若發生溢位（即  $q(k-1)+p > 2^n - 1$ ）則將  $p$  register 與  $q$  register 相加後減  $2^n$  之值的餘數（即  $q(k-1)+p - 2^n$ ）迴授存入  $q$  register，另外因為溢位所以  $\Delta z(k)=1$
  - 若未發生溢位，則將  $p$  register 與  $q$  register 相加之後之值迴授存入  $q$  register（即  $q(k)=q(k-1)+p$ ），另外因為沒有發生溢位，所以  $\Delta z(k)=0$
- 當  $k=2^n$  時  $q(k)=0=q(0)$ ，所以當  $k=2^n + 1 \sim k=2 \cdot 2^n$  會重覆  $k=1 \sim k=2^n$  之動作，其後便會一直循環

### 3. 範例：

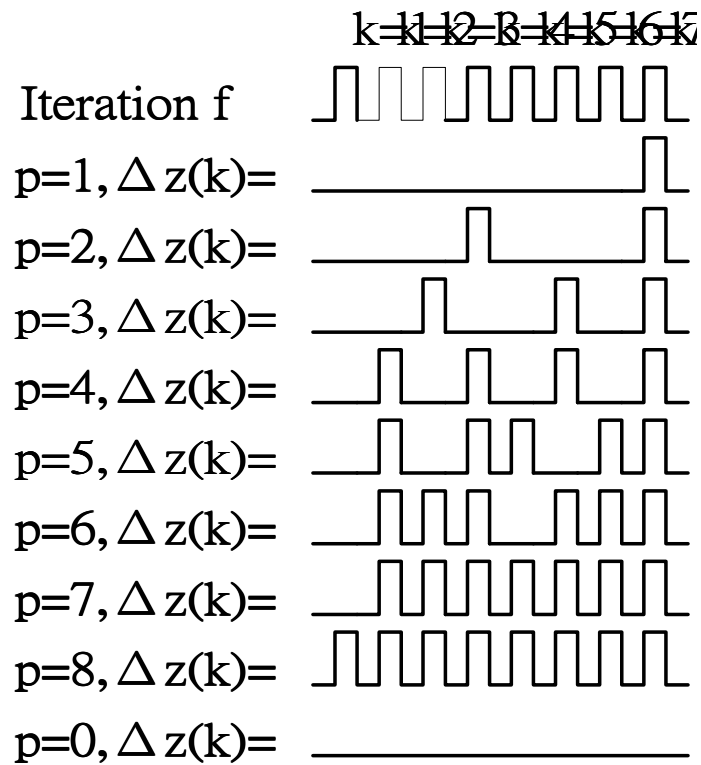
設  $p$  register 及  $q$  register 為 3 bits，假設  $\Delta t$  時間內要均勻輸出 5 個脈波（ $0 < p \leq 2^3$ ），其中  $\Delta t = 2^3 / f$ ； $f$  為觸發 clock 頻率，所以初始時  $q(0)=0$

| $k=?$ | $q(k-1)$ | $p$ | $q(k-1)+p$ | 餘數<br>$q(k-1)+p-8$<br>當 $q(k-1)+p > 7$ | $\delta z(k)$ | $q(k)=?$<br>if $q(k-1)+p > 7$<br>$q(k)=$ 餘數<br>else<br>$q(k)=q(k-1)+p$ |
|-------|----------|-----|------------|--|---------------|--|
| 1     | 0        | 5   | 5          | 5                                      | 0             | 5  |
| 2     | 5        | 5   | 10         | 2                                      | 1             | 2  |
| 3     | 2        | 5   | 7          | 7                                      | 0             | 7  |
| 4     | 7        | 5   | 12         | 4                                      | 1             | 4  |
| 5     | 4        | 5   | 9          | 1                                      | 1             | 1  |
| 6     | 1        | 5   | 6          | 6                                      | 0             | 6  |

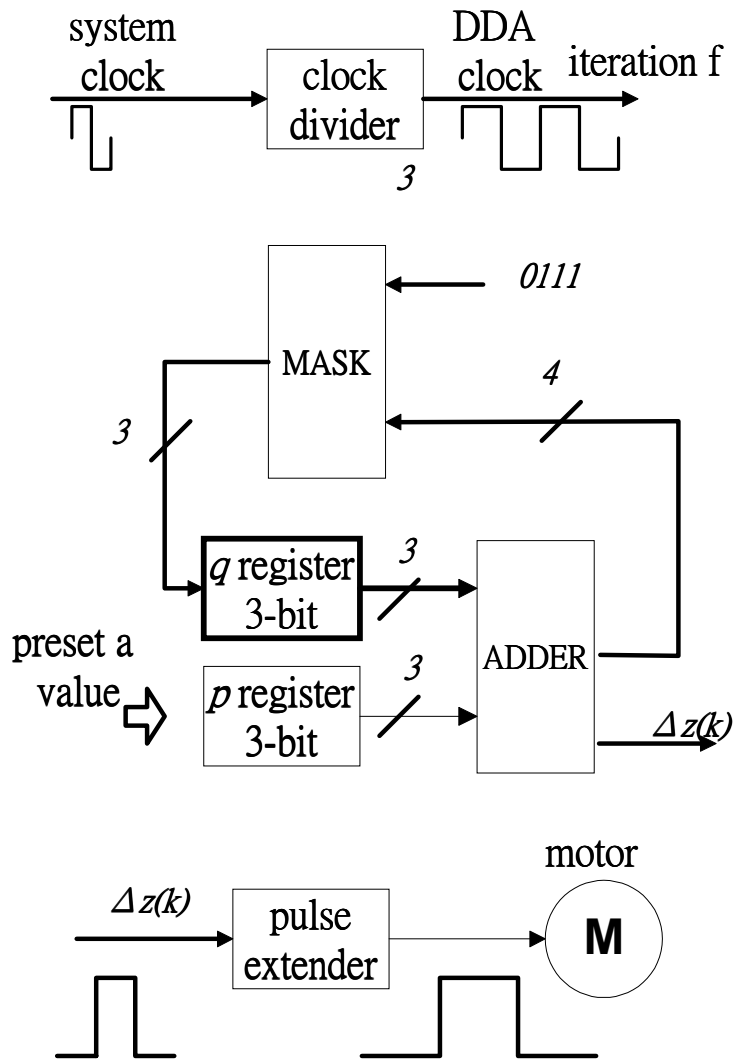


|   |   |   |    |   |   |   |
|---|---|---|----|---|---|---|
| 7 | 6 | 5 | 11 | 3 | 1 | 3 |
| 8 | 3 | 5 | 8  | 0 | 1 | 0 |

4.  $\Delta z$  輸出圖 (圖 9) , 3-bit DDA , 輸出 pulse  $p=0\sim 8$  , 假設  $f$  在上昇緣觸發



#### 四、可變密度及週期 DDA 硬體電路原理及應用



說明：

- 1 . 參考圖 1 0 ，以 3-bit DDA 電路說明，首先系統基頻先經由除頻器除頻，除頻後之  $f$  當作 DDA 觸發頻率
- 2 . 根據軌跡規劃預設一個行程  $p$  (脈波) 在  $p$  register ( 3 bits )
- 3 .  $q$  register(3 bits)之初始值為 0
- 4 . 在每個 DDA 觸發頻率進入觸發時，ADDER( 加法器 ) 將  $p$  register 及  $q$  register 之值相加，若相加值大於 7

(超過 3 bit)，此時發生溢位，若溢位值記為  $\Delta z(k)$ ，則此時  $\Delta z(k) = 1$

5. 將  $p+q$  值經 bit mask 之後 3 位存回 q register
6.  $\Delta z(k)$  經過 pulse extender 增加脈波寬後輸出驅動馬達
7. 以 EPCIO ASIC 實際輸出之 DDA 輸出波形為例 (以圖 10 說明)：

- p, q register 可設成 10~15bits，假設設成 L bits，並把它取名成 dda length，即  $dda\ length = L$
- Pulse extender (11bits)：可設定範圍為 0~2047
- DDA Clock divider(12bits)：可設定範圍為 0~4095
- 計算 DDA cycle time =  $T * (D+1) * 2^L$

Where  $T =$  System clock period

$D =$  DDA clock Divider ( $0 \leq D < 4096$ ) (12 bits)

$E =$  DDA pulse Extend number ( $1 \leq E < 2048$ ) (11 bits)

$L =$  DDA Length ( $10 \leq L \leq 15$ )

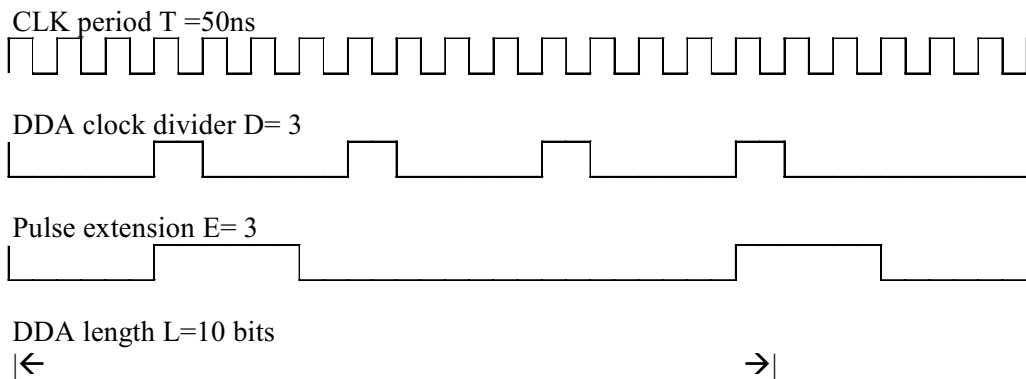
此時可輸出最大 pulse 數為

$$\begin{aligned} \text{Maximum pulse} &= 2^L \quad \text{if } D > E \\ &= 2^L / x \quad \text{if } D \leq E \end{aligned}$$

$$\text{Where } (E+1)/(D+1) \leq x < 1 + (E+1)/(D+1)$$

#### ■ 範例

Ex. For 20MHz base clock, DDA clock divider value set to 3, DDA pulse extend number set to 3, DDA length set to 10 bits. Then, **what's the DDA cycle time?**  
**What's the maximum pulse command?**



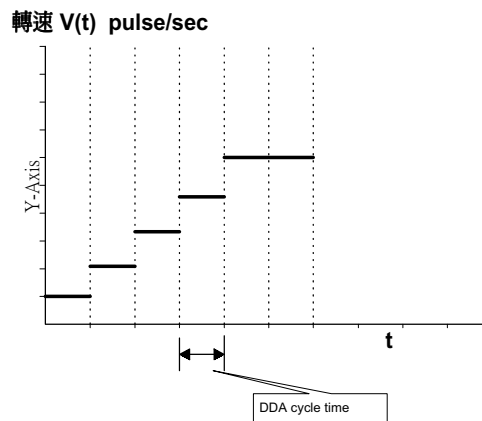
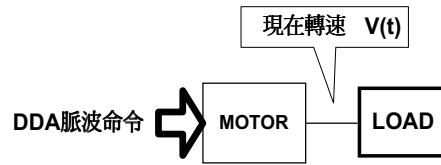
$$\begin{aligned} \text{DDA Cycle Time} &= T * (D+1) * 2^L \\ &= 50\text{ns} * (3+1) * 2^{10} \end{aligned}$$

$$= 0.2048 \text{ ms}$$

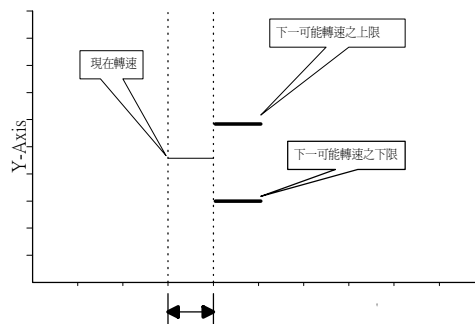
$$\begin{aligned} \text{Max Command} &= 2L/x \\ &= 2^{10} \\ &= 1024 \text{ Pulse/DDA} \end{aligned}$$

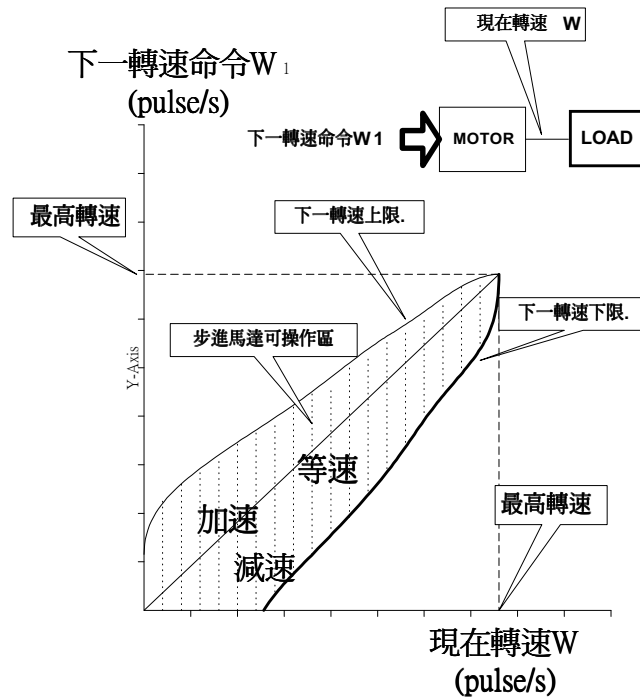
五、 應用可變密度及週期 DDA 硬體電路控制步進馬達（針對 EPCIO ASIC—DDA）

4. 觀察 DDA 輸出如圖 11，在每個 DDA cycle time 時間，DDA 均勻送出脈波去控制步進馬達，所以在每個 DDA cycle time 馬達是等速方式運動



5. 圖 12，對於每一 安定之定速度（前一段加減速所造成之暫態已消除），考慮步進馬達功率阻尼負載等因素，所以下一個可能之速度必有其上下限，當超過此上下限時，馬達可能會多跑或少跑脈波，因此根據步進馬達現在之穩定固定速度及下一個可接受之轉速命令，可繪製如圖 13 之步進馬達操作區圖，由圖 13 知步進馬達須操作在上下限曲線間，定義此區間為步進馬達可操作區。





6. **DDA 輸出脈波之不均勻性**：觀察圖 9，在每個 DDA cycle 之輸出脈波並非很均勻，所以在以下（4 ~ 8）將討論 DDA 之輸出脈波不均勻對控制步進馬達之影響。延續四·7，以 EPCIO ASIC 之 DDA 輸出作說明，下列為記號說明：

T = System clock period of EPCIO ASIC

D = DDA clock Divider ( $0 \leq D < 4096$ ) (12 bits) of EPCIO ASIC DDA

L = DDA Length ( $10 \leq L \leq 15$ ) of EPCIO ASIC DDA

DDA clock period =  $(D+1)T$  of EPCIO ASIC DDA

所以 DDA clock frequency  $f = 1/((D+1)T)$  註： $D \nearrow$  則  $f \searrow$  (當 T 固定)

又因為 DDA Length = L，所以 DDA cycle time  $\Delta t = 2L/f$

4. **以 DDA 等速驅動步進馬達(等速區)探討 (一) --- 在每個 DDA cycle 內之 DDA 輸出脈波理論期望速率 Vave, 實際可能之最大速率 Vmax 及最小速率 Vmin**

假設在一個 DDA cycle time  $\Delta t$  內等速行走 p 個 pulse

所以理論上 DDA 輸出脈波之平均速率  $V_{ave} = p/\Delta t = pf/2L$  (pulse/s)

理論上行走 1 pulse 時間 =  $1/V_{ave} = 2L/pf$  (s)

由 DDA 理論得知，DDA 輸出脈波之不均勻性在於 DDA 輸出之連續兩

個 pulse 之時間間距與理論上行走一個 pulse 所須之時間至多差異一個 DDA clock(即  $1/f$  sec)

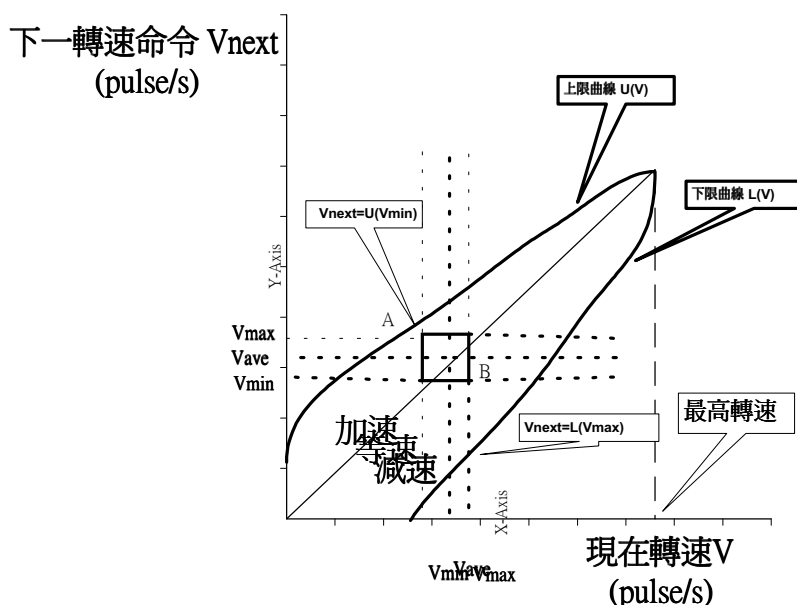
所以 DDA 輸出連續兩個 pulse 之時間間距最大值 =  $2L/pf + 1/f$  (s)

DDA 輸出連續兩個 pulse 之時間間距最小值 =  $2L/pf - 1/f$  (s)

所以 實際上之 DDA 輸出脈波之速率最大值不會超過  $V_{max}=1\text{pulse}/$ 連續兩個 pulse 之時間間距最小值  $=1/(2L/pf - 1/f) = pf/(2L - p)$ ; 輸出脈波之速率最小值亦不會超過  $V_{min}=1\text{pulse}/$ 連續兩個 pulse 之時間間距最大值  $=1/(2L/pf + 1/f) = pf/(2L + p)$

## 5 · DDA 等速探討 (二) – 等速行走之操作條件及平穩度

參考圖 14，DDA 等速區之步進馬達操作區圖



說明：

- 理論上 DDA 現在輸出脈波速率為  $V_{ave}$ ，下一 DDA 輸出脈波速率亦為  $V_{ave}$ ，所以落在  $(V_{ave}, V_{ave})$  點，正方形中心點附近
- 實際上可能為 DDA 之現在輸出脈波速率  $V_{min}$ ，下一 DDA 輸出脈波速率為  $V_{max}$ ，落在 A 點
- 亦可能為現在輸出脈波速率  $V_{max}$ ，下一輸出脈波速率為  $V_{min}$ ，落在 B 點
- 實際上 DDA 輸出命令 (現在輸出脈波速率，下一 DDA 輸出脈波速率) 落在正方形區塊內 (DDA 命令區塊)
- 操作條件: DDA 命令區塊要在步進馬達可操作區內，所以條件為  $V_{max} \leq U(V_{min})$  且  $V_{min} \geq L(V_{max})$

- F. 步進馬達要行走平穩，則 DDA 命令區塊要小，則  $\Delta V_{max} = V_{max} - V_{min} = 2p^2f / (22L - p^2)$  要小
- G. 平穩度  $\Delta V_{max}$  與 DDA clock Divider，DDA Length，所欲行走之 pulse 量的關係（註： $\Delta V_{max}$  要小）

$$\Delta V_{max} = V_{max} - V_{min} = 2p^2f / (22L - p^2)$$

根據上式可得以下之結論：

■ DDA clock Divider D 及所欲行走之 pulse 量 p 固定

當 DDA Length L  $\nearrow$  則  $\Delta V_{max}$   $\searrow$ （且  $V_{ave}$   $\searrow$ ）

■ DDA Length L 及所欲行走之 pulse 量 p 固定

當 DDA clock Divider D  $\nearrow$  則  $\Delta V_{max}$   $\searrow$ （且  $V_{ave}$   $\searrow$ ）

■ DDA clock Divider D 及 DDA Length L 固定

當所欲行走之 pulse 量 p  $\nearrow$  則  $\Delta V_{max}$   $\nearrow$ （且  $V_{ave}$   $\nearrow$ ）

註： $V_{ave} = p / \Delta t = pf / 2L$  (pulse/s)

### 6. DDA 加減速探討(一) — 加減速時在第一個 DDA cycle 及第二個 DDA cycle 時行走之操作條件及平穩度

假設兩相鄰 DDA cycle，第一個 DDA cycle 等速走 p 個 pulse，第二個 DDA cycle 等速走 p' 個 pulse，在第一 DDA cycle 結束時瞬間加(減)至第二個 DDA cycle。加減速探討可分為二部份，第一部份針對第一個 DDA cycle 及第二個 DDA cycle，第二部份針對第一個 DDA cycle 轉換至第二個 DDA cycle 之瞬間，本段先行討論第一部份。

圖 15 為加速時第一個 DDA cycle 期間步進馬達操作區圖，假設理論上之現在轉速及下一轉速為  $(V_{ave}, V_{ave})$ ，但實際上之（現在轉速，下一轉速）分佈於黑色方形區塊，請參考 DDA 等速討論。

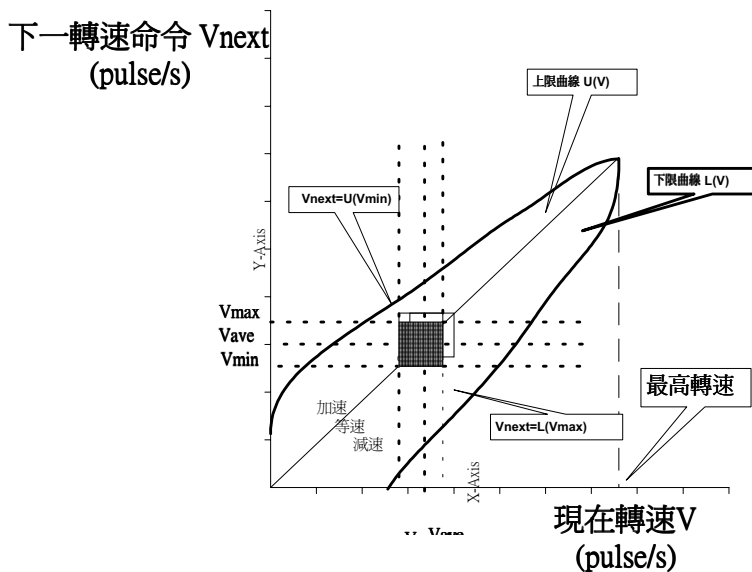


圖 16 為加速時第二個 DDA cycle 期間步進馬達操作區圖，假設理論上之現在轉速及下一轉速為  $(V'_{ave}, V'_{ave})$ ，觀察圖 15 及圖 16，加速時其（現在轉



速，下一轉速) 分佈圖自圖 15 之方塊移至圖 16 之方塊。

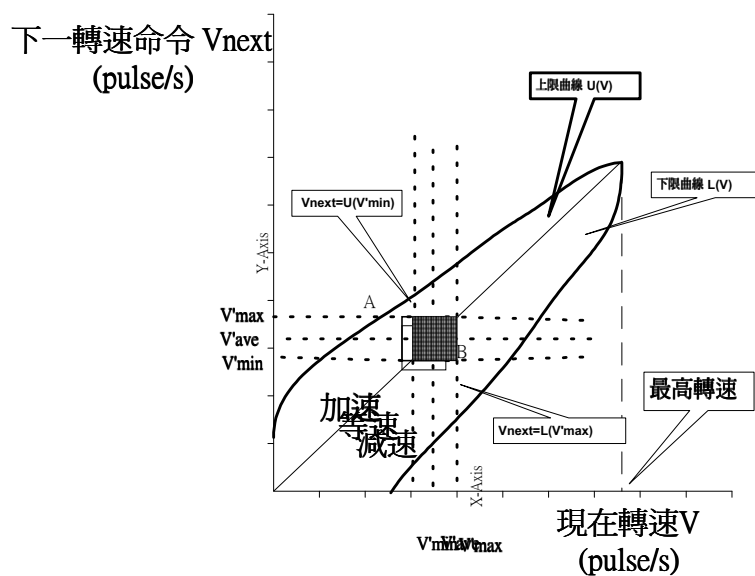
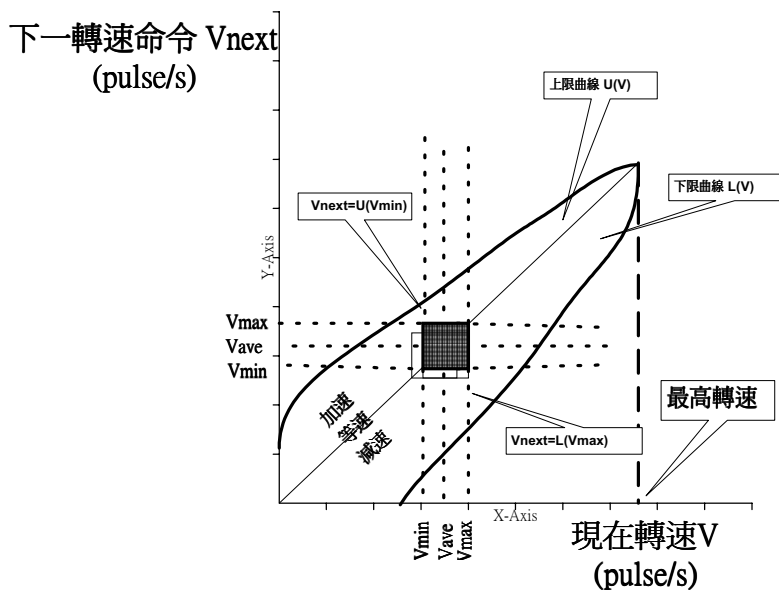
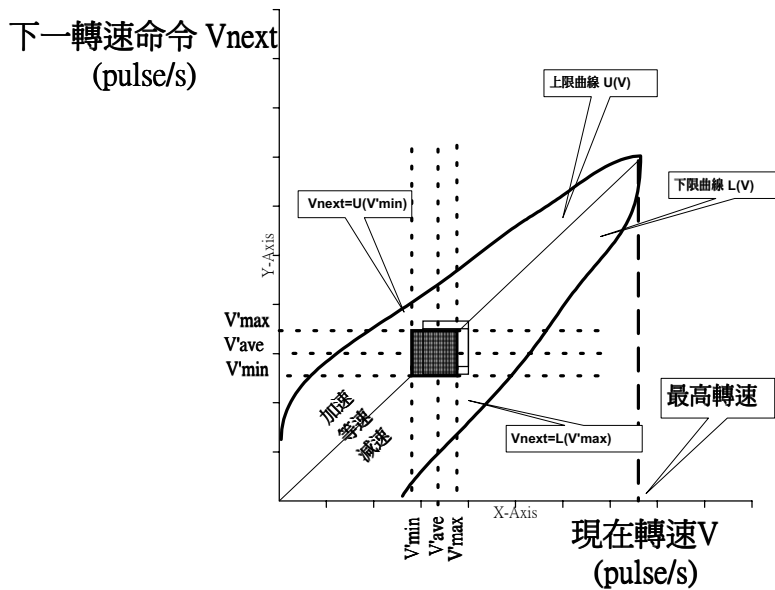


圖 17 及圖 18 為減速時第一個 DDA cycle 期間步進馬達操作區圖及第二個 DDA cycle 期間步進馬達操作區圖，同加速討論假設理論上第一個 DDA cycle 期間轉速為  $V_{ave}$ ，第二個 DDA cycle 期間轉速為  $V'_{ave}$ 。





根據在 DDA 等速區討論結論，得知以下：

第一個 DDA cycle 內( $p$  pulse)期間

DDA 命令區塊要在步進馬達可操作區內，其條件為  $V_{max} \leq U(V_{min})$   
且  $V_{min} \geq L(V_{max})$

步進馬達要行走平穩，則 DDA 命令區塊要小，則  $\Delta V_{max} =$   
 $V_{max} - V_{min} = 2p^2f / (22L - p^2)$  要小

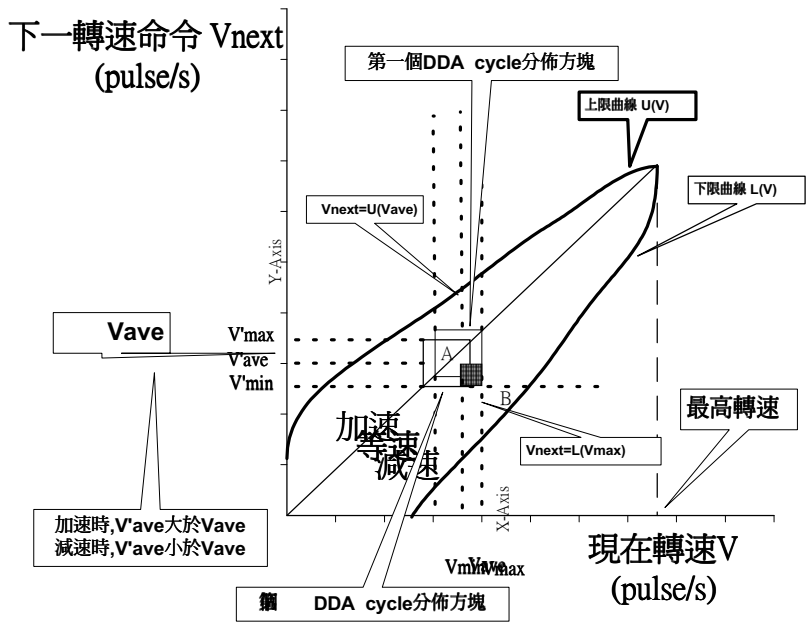
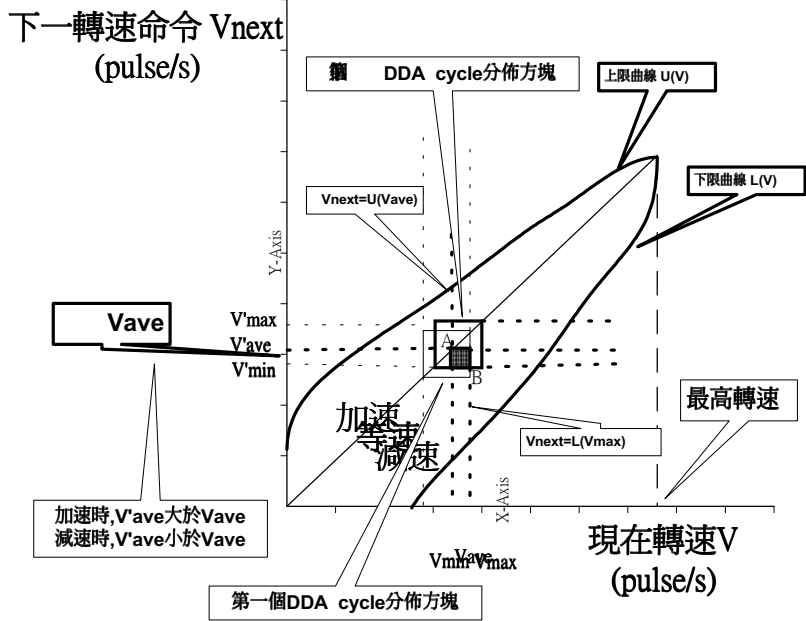
第二個 DDA cycle 內( $p'$  pulse)期間

DDA 命令區塊要在步進馬達可操作區內，其條件為  $V'_{max} \leq$   
 $U(V'_{min})$  且  $V'_{min} \geq L(V'_{max})$

步進馬達要行走平穩，則 DDA 命令區塊要小，則  $\Delta V'_{max} =$   
 $V'_{max} - V'_{min} = 2p'^2f / (22L - p'^2)$  要小

7. DDA 加減速探討(二)－加減速時在第一個 DDA cycle，第二個 DDA cycle 時及在第一 DDA cycle 轉換至第二個 DDA cycle 時操作條件及平穩度承續 6，討論第一個 DDA cycle 轉換至第二個 DDA cycle 之瞬間

圖 19 為加速轉態區(加速時第一個 DDA cycle 轉換至第二個 DDA cycle 之瞬間)，圖 20 為減速轉態區(減速時第一個 DDA cycle 轉換至第二個 DDA cycle 之瞬間)



- A. 根據 DDA 理論，參考圖 9，轉態區中每一個 DDA 輸出之最後一個 pulse 必在該 DDA cycle 最後一個 DDA clock 中被觸發
- B. 根據 DDA 理論第一個 DDA cycle 最後一個可能速度為  $V_{ave}$  至  $V_{max}$
- C. 根據 DDA 理論第二個 DDA cycle 最前一個可能速度為  $V'_{min}$  至  $V'_{ave}$
- D. 以最後一個 pulse 為中心，向前看可能出現第一個 DDA cycle 之  $V_{ave}$

向後看可能出現第二個 DDA cycle 之  $V'_{ave}$ ，所以現在 DDA 輸出速率可能為  $V_{ave}$ ，下一 DDA 輸出速率為  $V'_{ave}$ ，即轉態圖（圖 19,20）上之 A 點

E. 也可能向前看出現第一個 DDA cycle 之最大速度  $V_{max}$ ，向後看可能出現第二個 DDA cycle 之最小速度  $V'_{min}$ ，所以現在 DDA 輸出速率可能為  $V_{max}$ ，下一 DDA 輸出速率為  $V'_{min}$ ，即轉態圖上之 B 點

F. 轉態區(加減速)記號說明

第一個 DDA cycle 中

$$V_{ave} = p/\Delta t = pf/2L \quad (\text{pulse/s})$$

$$V_{max} = 1/(2L/pf - 1/f) = pf/(2L - p) \quad (\text{pulse/s})$$

$$V_{min} = 1/(2L/pf + 1/f) = pf/(2L + p) \quad (\text{pulse/s})$$

下一個 DDA cycle 中

$$V'_{ave} = pf/2L \quad (\text{pulse/s})$$

$$V'_{max} = p'f/(2L - p') \quad (\text{pulse/s})$$

$$V'_{min} = p'f/(2L + p') \quad (\text{pulse/s})$$

G. **加減速可操作條件**

I. 轉態時 DDA 命令區塊要在步進馬達可操作區內，其條件為

$$V'_{ave} \leq U(V_{ave}) \text{ 且 } V'_{min} \geq L(V_{max})$$

II. 已知在第一個 DDA cycle 內(p pulse)，步進馬達要在可操作區內，其條件為  $V_{max} \leq U(V_{min})$  且  $V_{min} \geq L(V_{max})$

III. 已知在第二個 DDA cycle 內(p' pulse)，步進馬達亦要在可操作區內，其條件為  $V'_{max} \leq U(V'_{min})$  且  $V'_{min} \geq L(V'_{max})$

IV. 其他已知條件（一）： $U(V_{min}) \leq U(V'_{min})$ ， $L(V_{max}) \leq L(V'_{max})$

V. 其他已知條件（二）： $U(V_{min}) \leq U(V_{ave})$ ， $V'_{ave} \leq V'_{max}$

VI. 由 II. 得知在第一 DDA cycle 馬達可操作條件為  $L(V_{max}) \leq V_{min}$  且  $V_{max} \leq U(V_{min})$  → **第一操作條件**

VII. 由 I，III，IV，V 得知在第二 DDA cycle 且在轉態間馬達可操作條件為  $L(V'_{max}) \leq V'_{min}$  且  $V'_{max} \leq U(V'_{min})$  → **第二操作條件**

H. **加減速平穩性條件**

I. 轉態區中步進馬達要行走平穩，則 DDA 命令區塊要小，則  $\Delta V_{max} = V'_{max} - V_{min} = 2p'2f/(22L - p'2)$  要小且  $\Delta V_{max} = V_{max} - V_{min} = 2p2f/(22L - p2)$  要小

II. 已知在第一 DDA cycle 中步進馬達要行走平穩，則  $\Delta V_{max} = V_{max} - V_{min} = 2p2f/(22L - p2)$  要小

- III. 已知在第二 DDA cycle 中步進馬達要行走平穩，則 $\Delta V'_{\max} = V'_{\max} - V'_{\min} = 2p'^2f/(2^2L - p'^2)$ 要小
- IV. 綜合上述，平穩條件為 $\Delta V_{\max}$  及 $\Delta V'_{\max}$  須很小

I. **加減速平穩性條件定性探討**——平穩度 $\Delta V_{\max}$  與 DDA clock Divider, DDA Length, 所欲行走之 pulse 量的關係

I. 已知 $\Delta V_{\max} = V_{\max} - V_{\min} = 2p^2f/(2^2L - p^2)$   
 $V'_{\max} = V'_{\max} - V'_{\min} = 2p'^2f/(2^2L - p'^2)$

II. 定性討論：

■ DDA clock Divider D 及所欲行走之 pulse 量 p, p' 固定  
 當 DDA Length L  $\nearrow$  則 $\Delta V_{\max}$ ,  $\Delta V'_{\max}$   $\searrow$  (且 Vave, V'ave  $\searrow$ )

■ DDA Length L 及所欲行走之 pulse 量 p, p' 固定  
 當 DDA clock Divider D  $\nearrow$  則 $\Delta V_{\max}$ ,  $\Delta V'_{\max}$   $\searrow$  (且 Vave, V'ave  $\searrow$ )

■ DDA clock Divider D 及 DDA Length L 固定  
 當所欲行走之 pulse 量 p  $\nearrow$  則 $\Delta V_{\max}$ ,  $\Delta V'_{\max}$   $\nearrow$  (且 Vave, V'ave  $\nearrow$ )

8. **決定 EPCIO ASIC 之 DDA 參數**

A. 在一般應用中，DDA clock Divider D 及 DDA Length L 固定，只有欲行走之 pulse 量 p 可變

B. 已知在等速區

$$V_{ave} = p/\Delta t = pf/2^2L \quad (\text{pulse/s})$$

$$V_{\max} = 1/(2^2L/pf - 1/f) = pf/(2^2L - p)$$

$$V_{\min} = 1/(2^2L/pf + 1/f) = pf/(2^2L + p)$$

$$\text{推導 } V_{\max} = pf/(2^2L - p) = pf/2^2L / (1 - p/2^2L) = V_{ave} / (1 - p/2^2L)$$

所以  $V_{ave}/V_{\max} = 1 - p/2^2L$  (等速區)

C. **決定 DDA Length L**：由 7 · H 中結果，取 L=15(最大)

D. **決定 Vave/Vmax 值及每個 DDA cycle 最大可行走 pulse 數 Pmax:**

觀察步進馬達操作區圖(圖 9)，假設現在期望轉速是 Vave，在該 DDA cycle time 內之可能最高速為 Vmax(→參考 DDA 等速區討論)。在接近最高轉速時，由於轉速上限之關係，所以可容許之 Vmax 會逐漸逼近 Vave，所以 Vave/Vmax 會逼近 1。

在最高轉速時，先假設 Vave/Vmax 之值(如 Vave/Vmax=0.98)，由公式  $V_{ave}/V_{\max} = 1 - p/2^2L$  (取 L 最大 15)，可以得到 p 值，此 p 值即每個 DDA cycle 最大可行走 pulse 數 Pmax (注意：Pmax 相對於  $2^{15}$  顯得很小)。

注意在每個 DDA cycle 中 Vave=Vmax 只在少數情況才可能發生，大多數為 Vave < Vmax，所以用 DDA 驅動步進馬達只能逼近馬達實際

最高速度，無法等於。

E. 決定 DDA clock Divider D :

假設期望馬達最高操作速度為  $V_{maxspd}$ ，根據公式  $V_{ave} = p / 2^{15} / (D+1) / T$ ，令  $V_{ave} = V_{maxspd}$ ， $p = P_{max}$  及  $T = 25 \text{ ns}$  (system clock)，可得一 D 值 (D 之小數位無條件進位)

注意：因為 p 小， $V_{ave} = p / 2^{15} / (D+1) / T$  大，所以實際算出之 D 值小

(註: DDA clock frequency  $f = 1 / ((D+1)T)$ ， $T = \text{System clock period}$ )

F. 決定行走 pulse p :

由 A~E 得到 L,  $P_{max}$ , D 值，假設現在期望速度是  $V_{ave}$ ，那麼可得到  $V_{ave} = p / 2^{15} / (D+1) / T$  其中  $p = 0 \sim P_{max}$ 。注意所決定之 p 值必須符合 DDA 等速區或加速區之操作條件，平穩條件可不看 (A~E 討論中已考慮)

G. 調整 DDA cycle:

假設加速時自一個 DDA cycle 送一個，二個直至  $P_{max}$  個 pulse，即送出之 pulse 序列為 1,2,3..... $P_{max}$ ，但實際上無法至高速。考慮以下方式使馬達運轉至高速 → 送出 pulse 序列：1,1,2,2,3,3..... $P_{max}$  或漸增至 1,1,..1,2,2,...2..... $P_{max}$

H. 範例:

承續前面討論，若我欲使馬達極速為  $60 \times 2500 \text{ pulse/sec}$

已知  $V_{ave} = p / 2^{15} / (D+1) / T$  且 D 須很小

所以取  $D=1$ ，由  $60 \times 2500 = p / 2^{15} / (1+1) / 25 \text{ ns}$ ，得  $p = 122 \text{ pulse}$

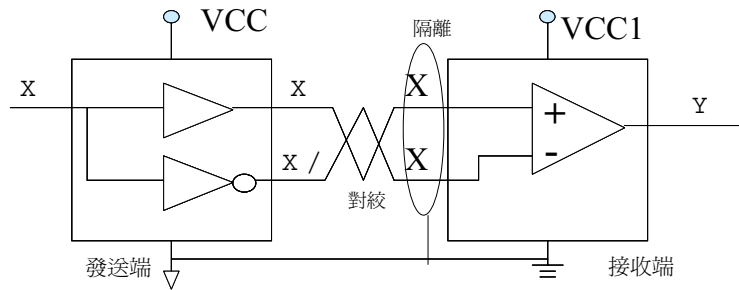
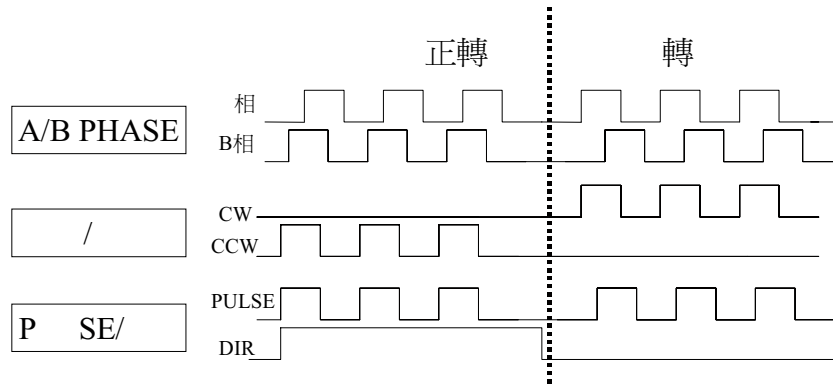
又  $V_{ave} / V_{max} = 1 - p / 2^{15}$ ，其中  $L=15$ ，得  $V_{ave} / V_{max} = 0.996$ ，符合在馬達極度區操作曲線 ( $V_{max}$  逼近  $V_{ave}$ )

缺點:  $V_{ave} = p / 2^{15} / (1+1) / 25 \text{ ns}$ ， $p = 0 \sim 255 \text{ pulse}$ ，所以速度只有 256 種段位，太少

承續前面討論，假設使  $V_{ave} / V_{max} = 0.8$ ，由  $V_{ave} / V_{max} = 1 - p / 2^{15}$  可得  $p = 6553 \text{ pulse/dda\_cycle}$ ，那麼此時之  $V_{ave}$  為何呢? ; 因為  $V_{ave} / V_{max} = 0.8$  又馬達極速為  $60 \times 2500$ ，所以假設馬達在  $47 \times 2500 \text{ pulse/sec}$  時其  $V_{ave} / V_{max} = 0.8$ 。所以代入  $V_{ave} = p / 2^{15} / (D+1) / 25 \text{ ns}$  得  $47 \times 2500 = 6553 / 2^{15} / (D+1) / 25 \text{ ns}$ ，可得 D 須設為 67.07 (取 68)

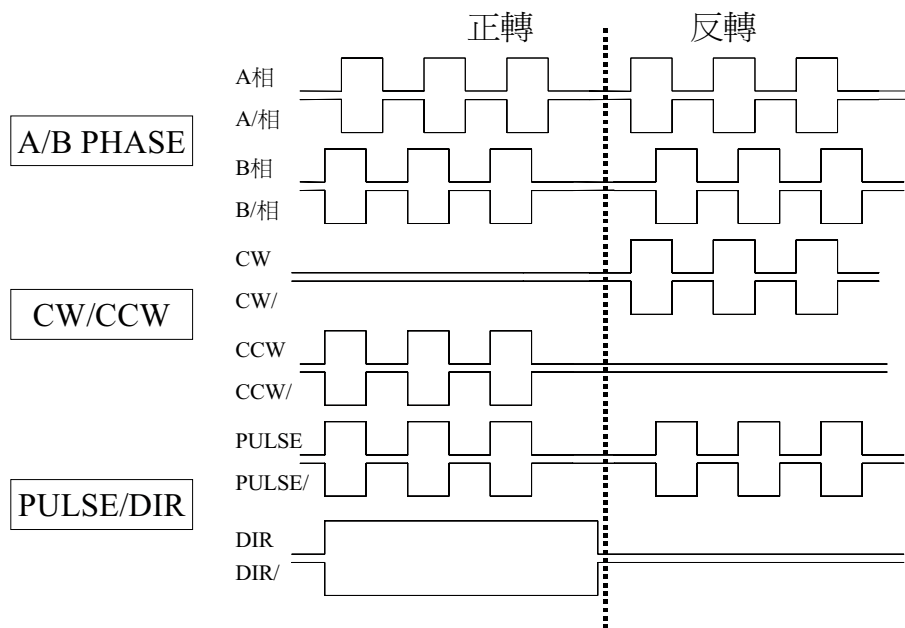
## 六、 EPCIO ASIC--DDA 輸出整形及外部電路配接

- A. EPCIO ASIC 之 DDA 輸出波形尚可選擇波形輸出格式，有 PULSE/DIR，CW/CCW 及 A/B PHASE 三種 PULSE 格式可選，視馬達可接受之格式（圖 21），在應用時多數馬達驅動器信號接收端為 DIFFERENTIAL 形式（圖 22），最終以 DIFFERENTIAL 訊號型式傳送之 PULSE FORMAT 如下圖 23



| 端 |   |   | 接收端 |
|---|---|---|-----|
|   |   |   |     |
|   |   | 1 |     |
| 1 | 1 |   | 1   |

- ❖ 發送端將輸入訊號X轉換成X及X/輸出
- ❖ 接收端將輸入之X及X/比較後得Y
- ❖ 真值表如左圖
- ❖ 以DIFFERENTIAL 方式傳送可有效消除共模雜訊
- ❖ 發送端及接收端之參考地須相接以防發送端及接收端因地電位不同而被漏電流損壞
- ❖ 建議以對絞線方式傳送,並且加隔離網



B. EPCIO-601 為機械所應用 EPCIO ASIC 所開發之多功能運動控制板，其脈波輸出部份方塊圖如下（圖 24）

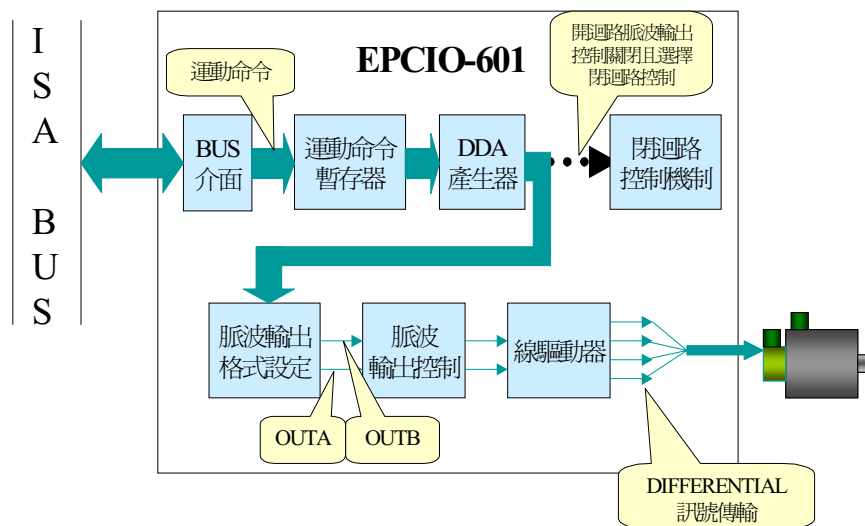
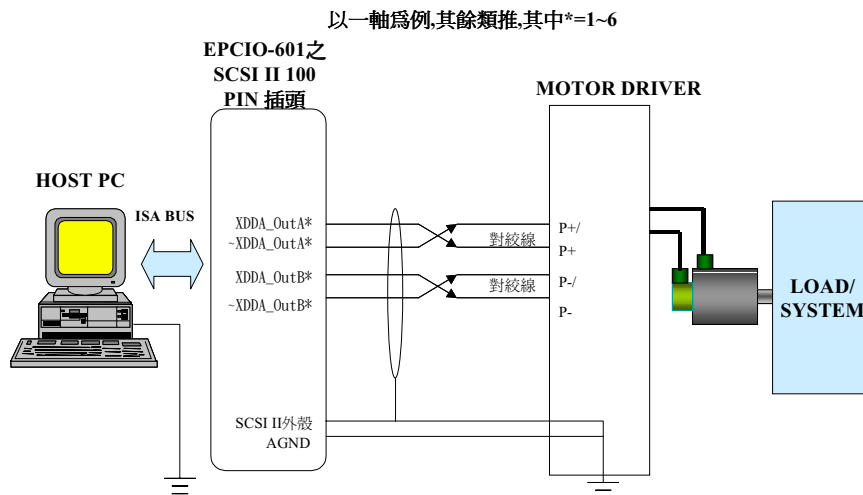


圖 24

C. 圖 25 為 EPCIO-601 與脈波控制型伺服馬達/步進馬達系統連接圖





- xdda\_OutA\* , ~xdda\_OutA\* , xdda\_OutB\* , ~xdda\_OutB\* 為第\*組開迴路控制機制之脈波命令輸出點, 須分別接至第\*組 MOTOR DRIVER 之 P+ , P+/, P-./P- 如圖所示
- 建議上面這四條線均使用對絞線以降低共模雜訊, 另外如圖所示使用隔離網將這四條線與外界隔離, 以降低外界對傳輸之干擾
- 將隔離網一端與 EPCIO-601 之 SCSI II 100PIN 接頭外殼對接, 另一端與 MOTOR DRIVER 之大地對接, 並確定 PC 及 SERVO DRIVER 都有接大地(註: SCSI II100PIN 接頭外殼與 PC 外殼對接, 而外殼通常與大地對接)
- 重要---須有一條地線將 SERVO DRIVER 之大地與 EPCIO-601 之 AGND 對接(這點非常重要, 因為有可能造成致命損壞)

**參考文獻：**

1. Computer Control of Manufacturing Systems Yoram Koren McGraw-Hill Book Company
2. 工業控制器定位控制應用技術 何丕倫·陳祖型·林育川 電機月刊 1994.5 電機月刊社
3. 工業控制器定位控制原理及應用技術 何丕倫 機械工業雜誌 143 期 工研院機械所
4. All-in-one Motion Control Module 陳文泉 PC-Based 運動控制之現況及趨勢研討會——經濟部工業局 2000.10
5. 運動控制基本原理說明 范維如 工業技術人才培訓——經濟部工業局 1997.4
6. EPCIO ASIC 使用手冊 陳文泉 工研院機械所控制器發展部
7. EPCIO-601 使用手冊 江修 工研院機械所控制器發展部